

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286418

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H01L 29/78
H01L 21/8238
H01L 27/092

(21)Application number : 11-087831

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.03.1999

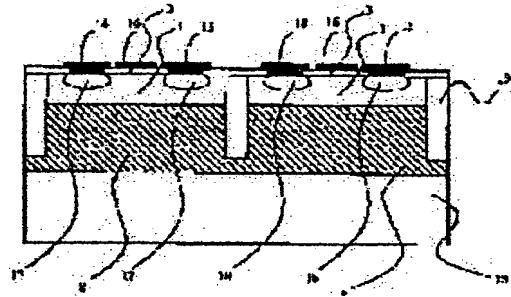
(72)Inventor : SUGII NOBUYUKI
NAKAGAWA KIYOKAZU
YAMAGUCHI SHINYA
MIYAO MASANOBU

(54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a low-power consumption and high-speed field-effect transistor, using a combination of Si to Ge, C or the like, which are homologous element as this Si.

SOLUTION: Strain is applied to a channel forming layer 1, which is formed with a channel of a field-effect transistor, by a strain applying semiconductor layer 2 and the mobility of carriers in the channel is made higher than that of the carriers in the material for a non-strained channel forming layer. Thereby, a high-speed and low-power consumption complementary field-effect transistor can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286418

(P2000-286418A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
H 0 1 L	29/78	H 0 1 L	3 0 1 B
	21/8238		5 F 0 4 0
	27/092		3 2 1 B
			5 F 0 4 8
			3 0 1 H
			3 0 1 Q

審査請求 未請求 請求項の数28 O L (全 12 頁)

(21) 出願番号 特願平11-87831

(22) 出願日 平成11年3月30日 (1999. 3. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 杉井 信之

東京都国分寺市東窓ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中川 清和

東京都国分寺市東窓ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

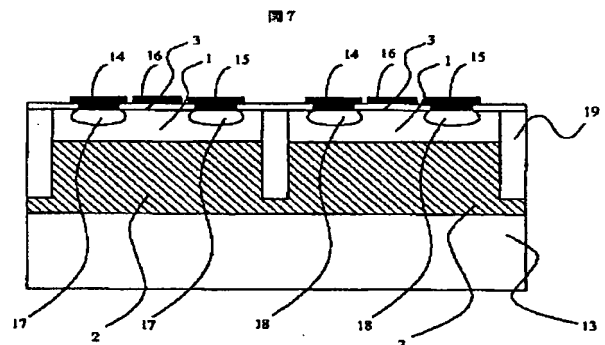
(54) 【発明の名称】 半導体装置および半導体基板

(57) 【要約】

【課題】 Siおよびこれと同族元素であるGe, Cなどの組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 電界効果トランジスタのチャネルが形成されるチャネル形成層1に歪印加半導体層2により歪を印加せしめ、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくする。

【効果】 高速かつ低消費電力の相補型電界効果トランジスタを実現できる。



【特許請求の範囲】

【請求項1】電界効果トランジスタのチャンネルが形成されるチャンネル形成層と、該チャンネル形成層の格子に歪を印加せしめる歪印加半導体層を有し、前記チャンネル中のキャリアの移動度は無歪の前記チャンネル形成層の材料より大きいことを特徴とする半導体装置。

【請求項2】前記チャンネル形成層はSiからなり、該Siチャンネル形成層の面内の格子定数は無歪のSiより大きいことを特徴とする請求項1記載の半導体装置。

【請求項3】前記電界効果トランジスタのソースドレイン領域は前記チャンネル形成層に形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】前記電界効果トランジスタのソースドレイン領域の一方は前記Si半導体層と接したSiGe層に形成されていることを特徴とする請求項2記載の半導体装置。

【請求項5】前記電界効果トランジスタのソースドレイン領域の接合深さは、前記Siチャンネル形成層の厚みよりも小さいことを特徴とする請求項3又は4に記載の半導体装置。

【請求項6】前記電界効果トランジスタはp型であり、前記歪印加半導体層と前記チャンネル形成層との界面付近の前記歪印加半導体層および前記チャンネル形成層の少なくとも一方には前記歪印加半導体層および前記チャンネル形成層に対してn型を呈する不純物が導入されていることを特徴とする請求項1乃至5のいずれか一項に記載の半導体装置。

【請求項7】前記不純物の導入は前記歪印加半導体層および前記チャンネル形成層の厚さ方向に0.1nmから30nmの範囲でなされていることを特徴とする請求項6記載の半導体装置。

【請求項8】前記電界効果トランジスタはp型であり、前記歪印加半導体層はバイアス印加電極を有していることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

【請求項9】チャンネル形成層と該チャンネル形成層の両面に隣接する層との界面の価電子帯の頂点のエネルギーはゲート絶縁膜側の方が大きいp型電界効果トランジスタを有していることを特徴とする半導体装置。

【請求項10】チャンネル形成層と該チャンネル形成層の両面に隣接する層との界面の伝導帯の頂点のエネルギーはゲート絶縁膜側の方が小さいn型電界効果トランジスタを有していることを特徴とする半導体装置。

【請求項11】電界効果トランジスタのチャンネル中のキャリアに対するエネルギー障壁が、該チャンネルに対しゲート絶縁膜とは反対側に存在しており、前記チャンネルが形成されるチャンネル形成層の格子は歪んでおり、前記チャンネル中のキャリアの移動度は無歪の前記チャンネル形成層の材料より大きいことを特徴とする半導体装置。

【請求項12】前記電界効果トランジスタはp型であり、前記チャンネル形成層はSiまたはGeからなり、前記Si

チャンネル形成層の面内の格子定数は無歪のSiより大きく、前記Geチャンネル形成層の面内の格子定数は無歪のGeより小さいことを特徴とする請求項11記載の半導体装置。

05 【請求項13】前記電界効果トランジスタはn型であり、前記チャンネル形成層はSiからなり、該Siチャンネル形成層の面内の格子定数は無歪のSiより大きいことを特徴とする請求項11記載の半導体装置。

10 【請求項14】前記電界効果トランジスタは前記チャンネル形成層に歪を印加せしめる歪印加半導体層を有していることを特徴とする請求項9乃至13のいずれか一項に記載の半導体装置。

15 【請求項15】前記歪印加半導体層は $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) からなることを特徴とする請求項2乃至8および14のいずれか一項に記載の半導体装置。

20 【請求項16】p型電界効果トランジスタのチャンネルが形成される $\text{Si}_{1-y}\text{Ge}_y$ ($0 < y \leq 1$) からなるチャンネル形成層と、該チャンネル形成層に歪を印加せしめる $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) からなる歪印加半導体層を有しており、前記組成比yは前記組成比xより大きく、前記歪印加半導体層は前記チャンネル形成層に対してゲート絶縁膜とは反対側に形成されており、かつ前記チャンネル中のキャリアである正孔に対してエネルギー障壁を構成していることを特徴とする半導体装置。

25 【請求項17】前記Siチャンネル形成層および前記 $\text{Si}_{1-y}\text{Ge}_y$ チャンネル形成層の厚さはそれぞれ1nm以上200nm以下の範囲にあることを特徴とする請求項15又は16に記載の半導体装置。

30 【請求項18】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であることを特徴とする請求項1乃至17のいずれか一項に記載の半導体装置。

35 【請求項19】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であり、前記相補型電界効果トランジスタを構成するp型およびn型の前記電界効果トランジスタの前記チャンネル形成層は前記歪印加半導体層の別の領域上に形成されていることを特徴とする請求項1乃至8及び14乃至17のいずれか一項に記載の半導体装置。

45 【請求項20】前記半導体装置は相補型電界効果トランジスタを有しており、前記電界効果トランジスタは該相補型電界効果トランジスタの構成要素であり、前記相補型電界効果トランジスタを構成するp型およびn型の前記電界効果トランジスタの前記チャンネル形成層は前記歪印加半導体層上に積層されていることを特徴とする請求項1乃至8及び14乃至17のいずれか一項に記載の半導体装置。

50 【請求項21】前記歪印加半導体層および前記チャンネル

形成層の面方位は{100}であることを特徴とする請求項1乃至8、14乃至17及び19乃至20のいずれか一項に記載の半導体装置。

【請求項22】前記歪印加半導体層および前記チャネル形成層の面方位は{110}であり、該{110}と直交する面内の<110>方向または<001>方向に前記チャネルが形成されていることを特徴とする請求項1乃至8、14乃至17及び19乃至20のいずれか一項に記載の半導体装置。

【請求項23】前記チャネルの方向は、n型の電界効果トランジスタの場合前記<110>方向であり、p型の電界効果トランジスタの場合前記<110>方向または前記<001>方向であることを特徴とする請求項22記載の半導体装置。

【請求項24】Si単結晶上に $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 < x < 1$)、厚さが1nm以上100nm以下の第1のSi層、 SiO_2 絶縁層および厚さが1nm以上100nm以下の第2のSi層がこの順序で積層されていることを特徴とする半導体基板。

【請求項25】支持基板上に絶縁層、Si層および $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 < x < 1$) がこの順序で積層されていることを特徴とする半導体基板。

【請求項26】支持基板上に絶縁層およびSi層がこの順序で積層されており、かつ前記Si層の面内の格子定数は無歪のSiに比べて4%未満大きいことを特徴とする半導体基板。

【請求項27】前記 $\text{Si}_{1-x}\text{Ge}_x$ 層および前記Si層の面方位は{100}であることを特徴とする請求項24乃至26のいずれか一項に記載の半導体基板。

【請求項28】前記 $\text{Si}_{1-x}\text{Ge}_x$ 層および前記Si層の面方位は{110}であることを特徴とする請求項24乃至26のいずれか一項に記載の半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に電界効果トランジスタを含む半導体装置に関する。

【0002】

【従来の技術】SiMOS型電界効果トランジスタ (Si-MOSFET) を用いた集積回路では、いわゆるスケーリング則にのっとって、デバイス寸法の縮小や動作電圧の低減などを行うことにより、消費電力の低減と、高速化を両立してきた。

【0003】しかしながら、寸法縮小に伴い発生する短チャンネル効果の問題や、低電圧化した場合に顕著になる、ドレイン電圧としきい値電圧の近接による動作マージンの低下など、多くの問題点が生じてきている。

【0004】また、高速化の指標となる移動度に目を向けると、上記のさまざまな改良が、皮肉なことに実デバイスにおけるSiの移動度を100以下と、バルクの値をはるかに下回らせる結果に陥れている。

【0005】このように従来のSi-MOSFETではもはや性

能向上がきわめて困難になってきている。

【0006】

【発明が解決しようとする課題】これ以上の性能向上には、半導体材料そのものの改良で高速化を図る必要性がある。本質的に高速である所謂化合物半導体を用いることは、ひとつの解答ではあるものの、Si集積回路の製造技術との融合性の点ではなほだ困難であり、かつ製造コストが膨大になるため、現実的な解決策ではない。

【0007】本発明の目的は、Siおよびこれと同族元素であるGe、Cなどの組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、電界効果トランジスタのチャネルが形成されるチャネル形成層に歪印加半導体層により歪を印加せしめ、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくすることにより達成できる。例えば、チャネル形成層の材料がSiの場合は、歪印加によりSiチャネル形成層の面内の格子定数を無歪のSiより大きくする。

【0009】SiあるいはGeに歪を印加すると、歪を受けないSiあるいはGeに比べてキャリアの移動度が增大することが示唆されている (M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80 (1996) 2234)。これは、サファイア上にSiを堆積すると、Siが面内歪を受けることにより移動度が増加する現象と起源を同じくし、古くから知られていることである。本発明はこの現象を応用して電界効果トランジスタおよびそれを用いた集積回路等の半導体装置を作製するものである。

【0010】また上記目的は、チャネル形成層とこのチャネル形成層の両面に隣接する層との界面の価電子帯の頂点のエネルギーを、ゲート絶縁膜側の方を他方より大きくしたp型電界効果トランジスタを有する半導体装置によっても達成できる。

【0011】また上記目的は、チャネル形成層とこのチャネル形成層の両面に隣接する層との界面の伝導帯の頂点のエネルギーを、ゲート絶縁膜側の方を他方より小さくしたn型電界効果トランジスタを有する半導体装置によっても達成できる。

【0012】また上記目的は、電界効果トランジスタのチャネル中のキャリアに対するエネルギー障壁が、チャネルに対しゲート絶縁膜とは反対側に存在する構造とし、かつチャネルが形成されるチャネル形成層の格子歪を歪ませて、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくすることによっても達成できる。

【0013】

【発明の実施の形態】はじめに歪を受けたSiをチャネルとする電界効果トランジスタのバンド構造と動作原理について説明する。Siに歪を与える歪印加層には $\text{Si}_{1-x}\text{Ge}_x$

($0 < x < 1$) を用いることが適当である。図1にSiO₂ゲート絶縁膜3/歪Si層1/Si_{1-x}Ge_x歪印加層2という積層構造のバンド図を示す。歪Si層1のバンドギャップ6はSi_{1-x}Ge_x歪印加層2のバンドギャップ7よりも広く、しかも価電子帯5、伝導帯4ともにエネルギーが下

【0014】さて、n型の電界効果トランジスタの場合、ゲートに正の電圧を印加してやると、図2のようにゲート絶縁膜3と歪Si層1の界面付近でバンドが曲がり、この部分に出来た歪Si層1中の伝導帯の三角井戸10に電子が蓄積され、トランジスタ動作を行うことが出来る。これは通常のMOS型電界効果トランジスタと全く同じである。

【0015】また、P型の電界効果トランジスタの場合、ゲートに負の電圧を印加してやると、図3のようにゲート絶縁膜3と歪Si層1の界面付近でバンドが曲がる。ところが、この部分に出来た歪Si層1中の価電子帯の三角井戸11よりも、歪Si層1とSi_{1-x}Ge_x歪印加層2の界面に出来たSi_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12に多くの正孔が蓄積されてしまう。しかし、歪Si層1に比べてSi_{1-x}Ge_x歪印加層2内の正孔の移動度は著しく小さいため、通常のMOS型電界効果トランジスタと比較して速度の向上が図れないという問題がある。また、相補型電界効果トランジスタを構成した場合に、pn両チャンネル間のバランスが取り難くなるという問題がある。

【0016】このような問題を解決するためには、三角井戸12中の正孔の蓄積を減らせば良く、その方法として以下に示すものがある。1番目の方法は、ソース・ドレインの接合深さを歪Si層1の厚さよりも十分に浅くすることにより、Si_{1-x}Ge_x歪印加層2への正孔の流出を防止する。具体的には、歪Si層1の厚みがたとえば70nmのときに接合深さを40nm程度にすれば良い。これは、チャンネル長0.1ミクロン以下の短チャンネルデバイスで用いられる値と大差ない値であるので、充分実現可能な値である。

【0017】2番目の方法は、Si_{1-x}Ge_x歪印加層2の歪Si層1との界面付近に好ましくは深さ0.1~30nmの範囲で、急峻にn型ドーピングを行なう方法である。この方法により、図4に示すように、Si_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12の頂点43のエネルギーレベルが低下する。例えば、歪Si層1中の価電子帯の三角井戸11の頂点42のエネルギーレベルよりも低くなる。その結果、三角井戸12中の正孔の蓄積が減る。この方法は、歪Si層1または歪Si層1とSi_{1-x}Ge_x歪印加層2の両方にn型ドーピングすることによっても実現できる。これらの場合も、ドーピング深さは0.1~30nmの範囲が好ましい。

【0018】3番目の方法は、Si_{1-x}Ge_x歪印加層2側に正の電圧が印加されるように基板バイアス電圧を制御

する方法である。この方法により、図5に示すように、Si_{1-x}Ge_x歪印加層2側が下がった右下がりのバンド構造となり、歪Si層1中の価電子帯の三角井戸11の頂点42のエネルギーレベルよりも、Si_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸12の頂点43のエネルギーレベルの方が低くなる。その結果、三角井戸12中の正孔の蓄積が減る。

【0019】以上述べたように、歪Siチャンネルから歪印加層への正孔の流出を防止することが、p型電界効果トランジスタあるいは相補型電界効果トランジスタの実現に不可欠な要因である。さらに、デバイスの高速化と低電圧化を図るために、次に示すような構成をとることも有効である。すなわち、p型電界効果トランジスタの場合はドレイン領域、n型電界効果トランジスタの場合はソース領域の材料をSi_{1-x}Ge_x歪印加層と同一の母材望ましくは同一組成比とする。このようにすると、歪SiとSiGeとのバンド不連続によりソース・ドレイン間の電界の分布が変化し、より効果的にキャリアを加速することが可能となる。これにより、更なる高速化が図れると共に、ピンチオフ電圧の低下によってより低電圧での動作が可能となる。

【0020】これまで、電子・正孔ともに歪Siをチャンネルとするトランジスタについて述べてきたが、正孔については歪Si_{1-y}Ge_y ($0 < y \leq 1$) をチャンネルとして用いると、さらに高移動度化、すなわち高速化が実現する。歪印加層にSi_{1-x}Ge_xを用いた場合、その上に積層するSiには面内引張り歪が、Si_{1-y}Ge_yには面内圧縮歪が印加される。

【0021】Si_{1-x}Ge_x歪印加層2の上に歪Si_{1-y}Ge_y層25、歪Si層1、ゲート絶縁膜3の順に積層した場合、図6に示すようなバンド図になり、歪Si層1とゲート絶縁膜3の界面付近の歪Si層1中の伝導帯の三角井戸10に電子が、歪Si層1と歪Si_{1-y}Ge_y層25の界面付近の歪Si_{1-y}Ge_y層25中の価電子帯の三角井戸20に正孔が蓄積される。歪Si層1を正孔のチャンネルに用いる場合と異なり、正孔の歪印加層2への流出は起こりにくくなる。歪Si層1と歪Si_{1-y}Ge_y層25の積層順序はどちらを上にしてもデバイスとして動作させることは可能である。但し、歪Si_{1-y}Ge_y層25内の正孔の移動度の方が歪Si層1内の電子の移動度よりも高くなるため、相補型電界効果トランジスタを構成したときの相互コンダクタンスの平衡を考慮すると、歪Si_{1-y}Ge_y層25がゲート電極より遠い、つまり歪Si層1の下にある構成のほうが望ましい。

【0022】また、歪Si層1あるいは歪Si_{1-y}Ge_y層25とゲート絶縁膜3の間にもう一層SiGe層をはさんでも良い。この場合、電子あるいは正孔はこのSiGe層との界面付近の歪Si層1あるいは歪Si_{1-y}Ge_y層25に蓄積されるので、ゲート絶縁膜3の界面準位や散乱の影響を受けないですむ。

【0023】また、歪Si層と歪Si_{1-y}Ge_y層は積層せず

に、選択成長法などを用いて、pチャネルの領域では歪Si_{1-x}Ge_x層を、nチャネルの領域では歪Si層を成長するようにしてもよい。

【0024】歪印加層には、Si_{1-x}Ge_xを用いることが望ましい。SiとGeではGeの格子定数がおよそ4%ほど大きい。Si_{1-x}Ge_xはGe組成比xに応じて格子定数が内挿値をとる。したがって、適当なxを選べば、その上に積層するSiあるいはGeに所望の歪を印加することが出来る。例えば、xを0.5とすればSi、Geそれぞれ2%の面内引張歪と面内圧縮歪を印加できる。xの選び方によって、SiとSi_{1-x}Ge_xの歪の大きさを適当に制御することができる。すなわち、歪Si層の面内の格子定数を無歪のSiに対して4%未満の範囲で大きくでき、歪Si_{1-x}Ge_x層の面内の格子定数を無歪のGeに対して4%未満の範囲で小さくできる。これによって電子と正孔の移動度のバランスを制御できるので、相補型電界効果トランジスタの相互コンダクタンスのバランスをとることが出来る。従来の相補型電界効果トランジスタでは素子の寸法を変えることのみにより調整していたが、本法ではさらに設計の自由度が増し、高集積化にも有利になる。

【0025】歪の制御はSi_{1-x}Ge_xのGe組成比xを変化する以外にも、Cを加えて(Si_{1-x}Ge_x)_{1-y}C_yの組成比yを変化させても良い。Cを加える方法としては、歪印加層の成長時にCを添加させても良いし、歪印加層を成長した後にはイオン注入などの方法によって加えてもよい。

【0026】歪印加層は一定組成のSi_{1-x}Ge_xを成長する方法、Si基板から成長方向に向かって徐々に組成比xを増加させていく方法、いわゆるグレーデッドバッファ層としても良い。また、Si基板上に低温で欠陥密度の高いSi層を成長したり、水素、SiあるいはGeなどのイオン打ち込みなどの方法で欠陥層を形成し、しかる後にSi_{1-x}Ge_xを成長すると、Si基板上に直接Si_{1-x}Ge_xを成長した時に比べて貫通転移密度を減らすことができ、さらに表面の平坦性を良好になるため、好ましい。

【0027】また、基板および歪印加層の部分をいわゆるSOI (Silicon on insulator) 構造にすると、浮遊容量の低減により一層の高速化が図れるようになる。SOIには貼り合せ式SOI基板やSIMOX (Separation by Implanted Oxygen) 基板などが市販されており、この基板上にSi_{1-x}Ge_x歪印加層を成長することによりSOIの特長を生かした歪Si (Si_{1-y}Ge_y (0<y≤1)) 電界効果トランジスタを製造できる。

【0028】また、Si基板上にまずSi_{1-x}Ge_x歪印加層を成長し、しかる後に酸素イオンを打ち込み、熱処理を行うことにより、Si_{1-x}Ge_x歪印加層ないしはその直下のSi中にSiO₂絶縁層を埋め込み、しかる後に歪Si層を成長する方法、あるいは、Si基板上にまずSi_{1-x}Ge_x歪印加層および歪Si層を成長し、しかる後に酸素イオンを打ち込み熱処理を行うことにより、歪Si層内部にSiO₂絶縁層を埋め込む方法を用いることも可能である。これらの方法を

用いると、SOI活性層の厚みを薄く出来て素子分離に優れ、pMOS、nMOS用のウェル層が不要になる。また、後者の場合、歪Si層の直下にSiO₂絶縁層があるため、前記したようなpMOSにおける正孔の歪印加層への流出の問題が生じない。

【0029】あるいはまた、Si基板上にSi_{1-x}Ge_x歪印加層を成長し、さらにSi層を成長した後、このSi層の一部ないしは全部を熱酸化した基板を用意する。あるいはSi層の熱酸化の代わりにSi_{1-x}Ge_x歪印加層の上にSiO₂層を気相成長法などで成長しても良い。そして、これと別に用意した支持基板とSiO₂を向かい合わせて貼り合せ、さらにSi_{1-x}Ge_x歪印加層を成長した側のSi基板を研磨する、あるいは水素イオンの打ち込みや途中に多孔質Si層を挿入しておくなどの手法により切断を行って、Si_{1-x}Ge_x歪印加層を露出させると、Si_{1-x}Ge_x歪印加層付きの貼り合せSOI基板が製造できる。この方法によれば、Si_{1-x}Ge_x歪印加層のうちSi基板に近い、欠陥密度の高い部分を除去することが出来るため欠陥密度の低減が図れ、さらに研磨やエッチングなどを行えば表面平坦性の確保も容易になる。また、この方法により、SOI活性層の厚みを薄く出来て素子分離に優れ、pMOS、nMOS用のウェル層が不要になる。

【0030】上記貼り合せSOI基板の切断に際しては、Si_{1-x}Ge_x歪印加層を残しておく必要は必ずしもない。すなわち、Si基板上にSi_{1-x}Ge_x歪印加層を成長し、さらに歪Si層を成長し、その一部を熱酸化した基板を別に用意した支持基板とSiO₂を向かい合わせて貼り合せ、歪Si層の部分を残して切断あるいは研磨を行い、SiO₂層の上に歪Si層が載った基板を製造することが出来る。この基板は、見かけは従来の貼り合せSOI基板とまったく変わらず、ただSOI層に歪がかかっているだけである。したがって、従来のSOI基板とまったく同様に扱うことが出来て、素子分離に優れ、pMOS、nMOS用のウェル層が不要になり、かつ、歪の効果によりSOI活性層の有効質量が軽く、電子・正孔移動度が高いという歪Siの特徴を備えることになる。また、歪Si層の直下にSiO₂絶縁層があるため、前記したようなpMOSにおける正孔の歪印加層への流出の問題が生じない。

【0031】歪Si層の厚みには一定の制限がある。なぜなら、歪の大きさによって無転移で成長できる歪Si層の膜厚の上限が存在するからである。これを臨界膜厚と呼んでおり、Si_{1-x}Ge_x歪印加層に歪Si層を成長させた場合でいえば、例えばx=0.2のとき歪の大きさは約0.8%で臨界膜厚は100nm前後、x=0.5のとき歪の大きさは約2%で臨界膜厚は10nm前後になる。ただし、この臨界膜厚の大きさは歪Si層の成長条件に依存しており一義的に決定できるものではない。また、SOI基板と歪Si層を組み合わせた場合のように間に酸化膜層が挿入されている構造の場合も上記の制限とは異なってくる。しかしながら、実用上有意な歪の大きさを実現させる組成であるxが0.2か

ら0.8程度の範囲、歪にして0.8から3.2%程度の範囲で、歪Si層の膜厚が1nmから200nmの範囲にあることが望ましい。1nm未満では電界効果トランジスタでチャンネルを形成する活性層の厚みとして不十分であるし、200nmより厚いと転移の発生が始まり、電気特性への悪影響が始めるからである。

【0032】用いる基板結晶の面方位の選択と、チャンネルでのキャリア走行方向の関係の選択は、より高速な動作をさせる場合に必要の要件である。

【0033】基板面方位として{100}面を用いることは、従来の多くのSi半導体素子がこの面方位を用いていることから、従来素子との結合、同一プロセスの利用といった点で有利であるとともに、歪を印加させたときの移動度も大きく増大し、望ましい結晶方位である。この場合チャンネルの面内方向は<110>あるいは<001>方向とすることが、エピ成長やエッチングなどのプロセスの制御性を高める上で有利である。

【0034】基板面方位として{110}面を用いることも可能である。この場合、チャンネルの方向としては<110>あるいは<001>方向とすることが歪を印加することによる移動度の増大の点で有利である。また、電子のチャンネルとしては<110>方向を用いるとさらに望ましい。ただし、nMOSFETとpMOSFETのバランスを考慮した場合に、必ずしもこの配置である必要はない。

【0035】以上に記述したように、チャンネルを形成する活性層に歪を加えた電界効果トランジスタないしは相補型電界効果トランジスタおよびこれを用いた半導体装置は、従来に比べて、チャンネルを流れるキャリアの有効質量が軽く、従って移動度が高く、高速化が図れ、さらに素子の高集積化、高性能化が図れるために、その工業的価値は極めて高い。

【0036】以下、実施例により本発明を詳細に説明する。

【0037】実施例1

図7は、本実施例に係るCMOSFETの断面図である。Si基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 歪印加層2を成長する。Si基板13の面方位は{100}とする。膜厚は500nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700℃で成長する。ここで、導電型決定のためのドーピングは行わない。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、歪Si層1へ印加する歪の適正化のためには、xで0.2-0.4にすると良い結果が得られる。

【0038】次に、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2上に化学気相成長法により歪Si層1を形成する。ここで、導電型決定のためのドーピングは行わない。膜厚は60nmとした。この層は $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の格子定数がSiより大きいことから面内引っ張り歪を受けている。これにより、この中のキャリア（電子および正孔）移動度は、無歪Si中よりも大きくなる。なお、Si層およびSiGe層の成長は化学気

相成長法に限らない。

【0039】次に、トレンチ分離法により素子分離絶縁領域19を形成し、歪Si層1の下部および $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2にわたってウェル形成用イオン打込みを行う。PMOS領域の下部にはP等のV族元素を注入してn型とし、NMOS領域の下部にはB等のIII族元素を注入してp型とする。さらに、歪Si層1の上部に、PMOS領域にはIII族元素、NMOS領域にはV族元素を注入してしきい値を調整する。

【0040】次に、歪Si層1の表面を熱酸化し、 SiO_2 ゲート絶縁膜3を形成する。さらに、その上にポリシリコンゲート電極16を形成した後、ゲート領域以外をエッチングにより除去する。さらに、セルフアラインによりソースドレイン領域をイオン注入法により形成する。このとき、B等のIII族元素を注入すればp型ソースドレイン領域17が形成でき、P等のV族元素を注入すればn型ソースドレイン領域18が形成できるのでPMOS、NMOSともに同一ウェハ上に作製できる。このとき、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2への漏れ電流を減らすために、イオン注入深さは歪Si層1の厚みの半分以下の30nmとした。最後に、層間絶縁膜（図示せず）を形成し、コンタクトホールをあけ、Al等の金属膜を蒸着し、パターニングし、金属配線を形成して、電界効果トランジスタが完成する。このトランジスタは、同一寸法でSi基板上に直接作製した無歪Siの電界効果トランジスタに比べて、相互コンダクタンスがおよそ3倍、遮断周波数も2.4倍になった。

【0041】実施例2

図8は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例1におけるソースドレイン領域17、18の深さ30nmを通常の場合の50nmと深くする代わりに、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の形成において、その上部30nmの範囲で、Pドーピングガスを混合して、 10^{18} 毎立方センチメートルの高濃度で、急峻にn型ドーピングを行ったものである。その際、pMOS領域のみにドーピングを行うために、nMOS領域を酸化膜で被覆しておきドーピング後にこれを除去する。

【0042】ただし、急峻ドーピングを行ったpMOS領域にはウェル形成用イオン打込みは行わない。

【0043】本実施例においても、相互コンダクタンスおよび遮断周波数について実施例1と同等の効果が得られた。

【0044】実施例3

図9は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例2における急峻ドーピングの代わりに、pMOSのウェル領域に正のバイアスを印加したものである。

【0045】具体的には、素子領域外で、pMOSの $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2までコンタクトホールを開け、そこにオーミック電極を形成し、バイアス印加電極22とする。

【0046】バイアス印加電極22に+1Vの電圧を印加

することにより、バイアス印加なしの場合と比較して、パンチスルー電流を5%以下に低減させることが出来た。

【0047】なお、実施例1乃至3の方法は、同時に適用できる方法であり、2種あるいは3種を組み合わせたことができる。

【0048】実施例4

図10は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例1における歪Si層1のp型MOSFETのドレイン領域15、n型MOSFETのソース領域14を選択的にエッチングし、その部分を $\text{Si}_{1-x}\text{Ge}_x$ 層23を選択成長して埋め戻すものである。なお、この部分の表面層5nmはSiとし、以後のプロセスによる $\text{Si}_{1-x}\text{Ge}_x$ 層23の損傷を防止する。

【0049】本実施例のトランジスタは、従来型MOSFETでよく用いられる動作電圧3Vに比べ、これを低減できる。

【0050】実施例5

図11は、本実施例に係るCMOSFETの断面図である。本実施例の特徴は、歪Ge層をPMOSのチャネルとして用いたことにある。

【0051】Si基板13にあらかじめ水素イオン打込みにより表面から100nmの領域にわたって高欠陥密度層を形成する。この基板を洗浄した後、ただちに化学気相成長装置に導入し、xを0.3から成長方向に向かって0.5まで変化した $\text{Si}_{1-x}\text{Ge}_x$ からなる歪印加層の下層2を成長する。膜厚は300nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700℃で成長する。

【0052】さらに $\text{Si}_{0.5}\text{Ge}_{0.5}$ からなる歪印加層の上層24を膜厚30nm、歪Ge層25を膜厚10nm、歪Si層1を膜厚13nmで順に同様に積層形成する。なお、Si、GeおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。歪Ge層25は面内圧縮応力を受け、歪Si層1は面内引っ張り応力を受ける。これにより、歪Ge層25の正孔、歪Si層1の電子ともに通常のSiに比べて有効質量が低減され、移動度が上昇する。

【0053】次に、実施例1と同様の方法で、素子分離絶縁領域19形成、歪印加層の上層である $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層24および下層である $\text{Si}_{1-x}\text{Ge}_x$ 層2にわたってのウェル形成用イオン打込み、ならびに歪Si層1の上部および歪Ge層25の上部にしきい値調整用低濃度イオン打込みを行う。続いて、 SiO_2 ゲート酸化膜3の形成、ゲート電極16の形成、ソースドレイン領域17、18の形成を行う。ソースドレイン領域17、18のイオン注入深さはnMOSに対しては歪Si層1の厚みと同程度の10nmとし、pMOSに対しては歪Ge層25に達する20nmとした。最後に、層間絶縁膜の形成、コンタクトホールあけ、金属配線の形成を行いCMOSFETが完成する。

【0054】本実施例では $x=0.5$ の $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層24を

歪印加層の上層として成長しているの、歪Si層1および歪Ge層25へ与える歪印加量が大きい。

【0055】本実施例では、チャネルに歪Ge層を用いたが、Siを混ぜた歪 $\text{Si}_{1-y}\text{Ge}_y$ 層($0 < y < 1$)を用いることもできる。この場合、組成比yは $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層の組成比xより大きくする。

【0056】実施例6

図12は、本実施例に係るCMOSFETの断面図である。本実施例、実施例5における歪Si層1上に $\text{Si}_{0.5}\text{Ge}_{0.5}$ 障壁層30を2nm形成したものである。

【0057】このように、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 障壁層30を歪Si層1とゲート絶縁膜3の間に設けているので、電子は歪Si層1とゲート絶縁膜3界面の散乱を受けず、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 障壁層30と歪Si層1の界面付近の歪Si層1中に蓄積される。

【0058】また、本実施例では歪Ge層25の上部に歪Si層1を積層したが、この順序は逆にしても構わない。ソースドレイン領域1718のイオン注入深さはnMOSに対しては歪Si層1の厚さと同程度の12nmとし、pMOSに対しては歪Ge層25に達する22nmとする。

【0059】実施例7

図13は、本実施例に係るCMOSFETの断面図である。本実施例は、実施例5における歪Si層1と歪Ge層25を積層せず並列配置したものである。

【0060】具体的には、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 歪印加層24上にpMOS領域には歪Ge層25を10nm、nMOS領域には歪Si層1を12nm選択成長させる。歪Ge層25は面内圧縮応力を受け、歪Si層1は面内引っ張り応力を受けている。これにより、歪Ge層25の正孔、歪Si層1の電子ともに通常のSiに比べて有効質量が低減され、移動度が上昇する。

【0061】実施例8

図14は、本実施例に係るSOI基板の断面図である。表面に100nm厚みの高欠陥密度エピ層を形成したSi基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2を成長する。膜厚は150nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700℃で成長する。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、後で形成する歪Si層1へ印加する歪みの適正化のためには、xを0.2-0.4とすると良い結果が得られる。本実施例では0.3とする。なお、SiおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。

【0062】次に酸素イオンを加速電圧180KeV、ドーズ量 $4 \times 10^{17}/\text{cm}^2$ の条件で $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の上から注入し、1350℃で8時間アニールを行う。これにより、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の直下に SiO_2 絶縁層26が形成される。 SiO_2 絶縁層26の厚みは凡そ100nmであり、絶縁耐圧50V以上が確保される。アニール処理により、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2は欠陥密度が極めて低く、平坦でかつ歪み緩和が十分になされる。さらに、この上部に厚さ60nmの

歪Si層1を化学気相成長法で形成する。

【0063】以後、発明の実施例1等と同様のプロセスを用いて、CMOSFETを製造することができる。なお、本基板を用いることによりウェル層のイオン注入が不要になる。

【0064】また、浮遊容量が大幅に低減されるため、実装レベルでの動作速度を通常のSi基板使用時に比べ40%ほど高めることが出来た。

【0065】実施例9

図15はSOI基板の他の実施例の断面図である。実施例8と同様の方法で $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2まで形成した後、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の上に厚さ120nmの歪Si層1を化学気相成長法で形成する。次に、酸素イオンを加速電圧50 KeV、ドーズ量 $2 \times 10^{17}/\text{cm}^2$ の条件で歪Si層1の上から注入し、1300℃で8時間アニールを行う。これにより、歪Si層1の内部に SiO_2 絶縁層26が形成される。 SiO_2 絶縁層26の厚みは凡そ30nmとなる。

【0066】本実施例では、ウェル層のイオン注入が不要になる他、pMOSでの正孔のSiGe歪印加層への流出が起こり難いため、ドーピングやバイアス印加等による正孔の流出防止策を特に用いる必要はない。

【0067】実施例10

図16は、本実施例に係るSOI基板の製造工程断面図である。まず、図16(a)に示すように、表面に100nm厚みの高欠陥密度エピ層を形成したSi基板13を洗浄した後、ただちに化学気相成長装置に導入し、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2を成長する。膜厚は300nmとする。原料には Si_2H_6 および GeH_4 を用い、成長温度700℃で成長する。 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xはいかようにも制御可能であるが、歪Si層1へ印加する歪みの適正化のためには、xを0.2-0.4とすると良い結果が得られる。本実施例では0.3とする。なお、SiおよびSiGe層の成長は化学気相成長法に限らず、上記組成の結晶成長が可能な方法であれば良い。またSi基板13の代わりにGe基板あるいはSiGe混晶基板を用いても良い。Geの混晶比xが大きい場合、Ge

表1

Ge組成比x	歪	電子移動度	正孔移動度
0	0	1300	400
0.1	0.4	2600	850
0.2	0.8	3300	2000
0.3	1.2	3550	3100
0.4	1.6	3500	4500
0.5	2.0	3450	5200
0.6	2.4	3400	6100

実施例7で示した方法で、{100}面のSi基板13を用いてpMOSFETを $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xを種々に変えて作製し、素子の相互コンダクタンスから歪Geチャンネル中の<001>方向の正孔の移動度を見積ると、表2に示すように面内圧縮歪を受けるに従い移動度が飛躍的に大きくなる。単位は、歪が%（正の値が引張歪）、移動度

基板やGe混晶比の大きいSiGe基板を用いるほうが、 $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の成長が容易、あるいは不要になる。

【0068】次に歪Si層1を成長し、表面を熱酸化し、次いで切断位置28の深さに水素イオンを注入し、この位置に損傷層を形成する。こうして図16(a)に示す状態になる。切断位置28は $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の内部としても良いし、歪Si層1の内部としても良い。

【0069】さらに表面の酸化膜と別に用意した支持基板29を接合位置27で接合し、図16(b)のような状態になる。次いで500℃でアニールすると切断位置28で切断され、切断位置28が $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2の内部の場合は図16(c)のような状態になり、歪Si層1の内部の場合は図16(d)のような状態になる。図16(c)に示す場合は、さらに表面に60nmの歪Si層1をエピタキシャル成長させる。

【0070】以後、発明の実施例1等と同様のプロセスを用いて、CMOSFETを製造することができる。なお、本基板を用いることによりウェル層のイオン注入が不要になる。さらに、図16(d)の構造の場合にはpMOSでの正孔のSiGe歪印加層への流出が起こらないため、ドーピングやバイアス印加等による正孔の流出防止策が不要になる。

【0071】また、浮遊容量が大幅に低減されるため、実装レベルでの動作速度を通常のSi基板使用時に比べ40%ほど高めることが出来た。

【0072】実施例11

実施例1で示した方法で、{100}面のSi基板13を用いて相補型電界効果トランジスタを $\text{Si}_{1-x}\text{Ge}_x$ 歪印加層2のGe組成比xを種々に変えて作製し、素子の相互コンダクタンスから歪Siチャンネル中の<001>方向の電子および正孔の移動度を見積ると、表1に示すように混晶比が0.2程度でも移動度の増加がかなり大きい。単位は、歪が%（正の値が引張歪）、移動度が cm^2/Vs である。

【0073】

35

が cm^2/Vs である。

【0074】表2

Ge組成比x	歪	正孔移動度
1.0	0	1900
0.9	-0.4	2800
0.8	-0.8	4100

0.7	-1.2	7000
0.6	-1.6	9000
0.5	-2.0	12000
0.4	-2.4	13500

実施例1で示した方法で、{110}面のSi基板13を用いて相補型電界効果トランジスタを作製し、素子の相互コ

表3

Ge組成比x	歪	方位
0.2	0.8	<001>
0.2	0.8	<110>
0.3	1.2	<001>
0.3	1.2	<110>

【0076】

【発明の効果】本発明によれば高速かつ低消費電力の相補型電界効果トランジスタおよびこれを内蔵する半導体装置を実現できる。

【図面の簡単な説明】

【図1】本発明の具体例であるSiO₂ゲート絶縁膜／歪Si層／Si_{1-x}Ge_x歪印加層という積層構造のバンド図である。

【図2】図1に示す構造のゲートに正のバイアスを印加した状態のバンド図である。

【図3】図1に示す構造のゲートに負のバイアスを印加した状態のバンド図である。

【図4】図1に示す構造のSi_{1-x}Ge_x歪印加層の最上部に急峻n型ドーピングを施した状態のバンド図である。

【図5】図1に示す構造に基板バイアス電圧を印加した状態のバンド図である。

【図6】本発明の具体例であるSiO₂ゲート絶縁膜／歪Si層／歪Si_{1-y}Ge_y層／Si_{1-x}Ge_x歪印加層という積層構造のバンド図である。

【図7】本発明の実施例1の相補型電界効果トランジスタの断面構造図である。

【図8】本発明の実施例2の相補型電界効果トランジスタの断面構造図である。

【図9】本発明の実施例3の相補型電界効果トランジスタの断面構造図である。

【図10】本発明の実施例4の相補型電界効果トランジスタの断面構造図である。

【図11】本発明の実施例5の相補型電界効果トランジスタの断面構造図である。

【図12】本発明の実施例6の相補型電界効果トランジ

スタクタンスから歪Siチャネル中の<001>方向、<110>方向の電子および正孔の移動度を見積ると、表3に示すように電子移動度は<110>方向の方が大きくなる。単位は、歪が%（正の値が引張歪）、移動度がcm²/Vsである。

【0075】

電子移動度 正孔移動度

900	1800
3100	1800
900	2700
3300	2700

スタの断面構造図である。

【図13】本発明の実施例7の相補型電界効果トランジスタの断面構造図である。

【図14】本発明の実施例8のSOI基板の断面図である。

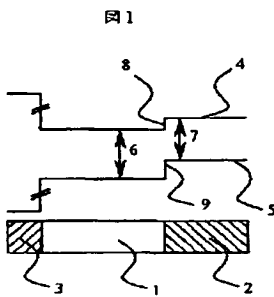
【図15】本発明の実施例9のSOI基板の断面図である。

【図16】本発明の実施例10のSOI基板の製造工程断面図である。

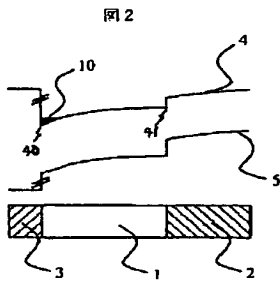
【符号の説明】

1…歪Si層、2…Si_{1-x}Ge_x歪印加層、3…SiO₂ゲート絶縁層、4…伝導帯、5…価電子帯、6…歪Siのバンドギャップ、7…Si_{1-x}Ge_xのバンドギャップ、8…伝導帯不連続、9…価電子帯不連続、10…ゲート絶縁膜／歪Si層界面付近の歪Si層中の伝導帯の三角井戸、11…ゲート絶縁膜／歪Si層界面付近の歪Si層中の価電子帯の三角井戸、12…歪Si層／Si_{1-x}Ge_x歪印加層界面付近のSi_{1-x}Ge_x歪印加層2中の価電子帯の三角井戸、13…Si基板、14…ソース電極、15…ドレイン電極、16…ゲート、17…p型ソースドレイン領域、18…n型ソースドレイン領域、19…素子分離絶縁領域、20…歪Si層／歪Si_{1-y}Ge_y層界面付近の歪Si_{1-y}Ge_y層中の価電子帯の三角井戸、21…急峻n型ドーピング層、22…バイアス印加電極、23…Si_{1-x}Ge_xドレイン層、24…Si_{0.5}Ge_{0.5}層、25…歪Si_{1-y}Ge_y層（0<y≤1）、26…SiO₂絶縁層、27…接合位置、28…切断位置、29…支持基板、30…Si_{0.5}Ge_{0.5}障壁層、40、41…伝導帯の三角井戸の頂点、42、43…価電子帯の三角井戸の頂点。

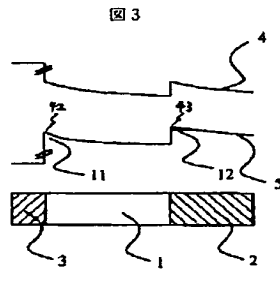
【図1】



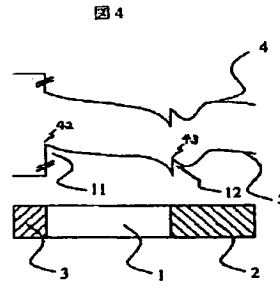
【図2】



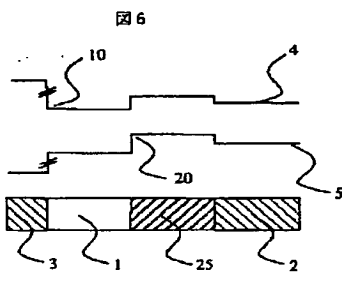
【図3】



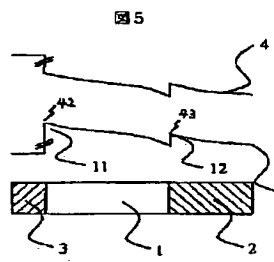
【図4】



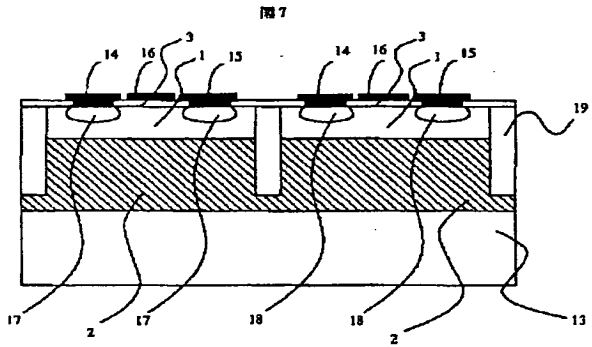
【図6】



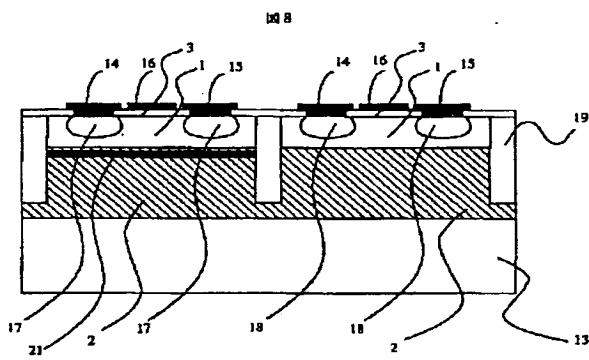
【図5】



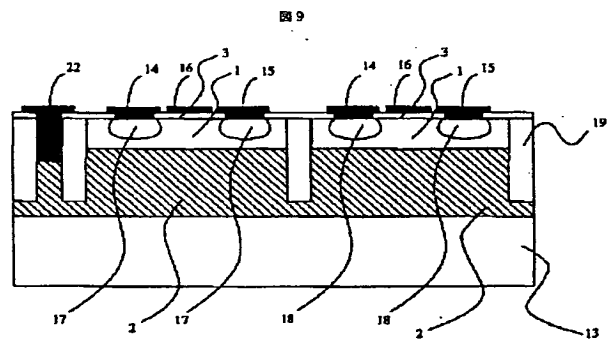
【図7】



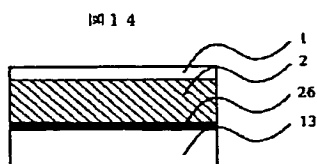
【図8】



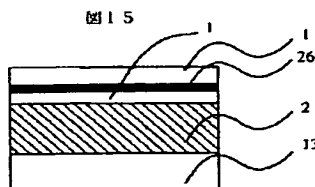
【図9】



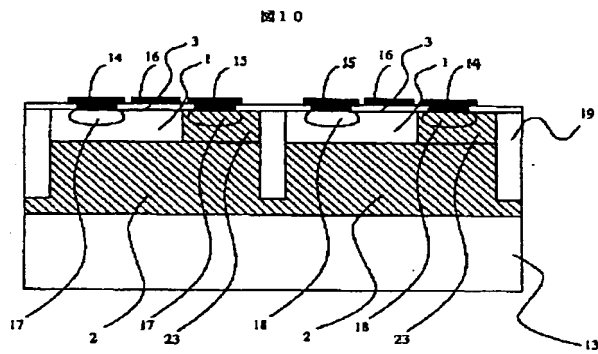
【図14】



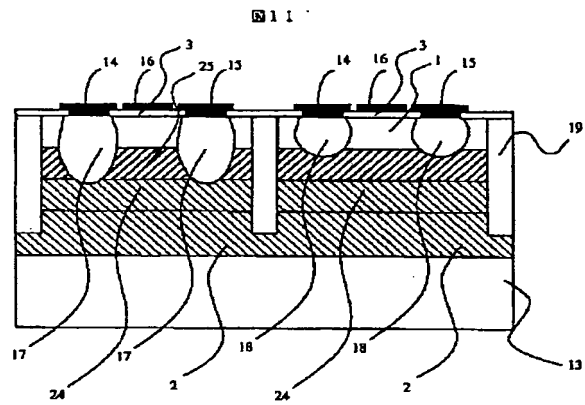
【図15】



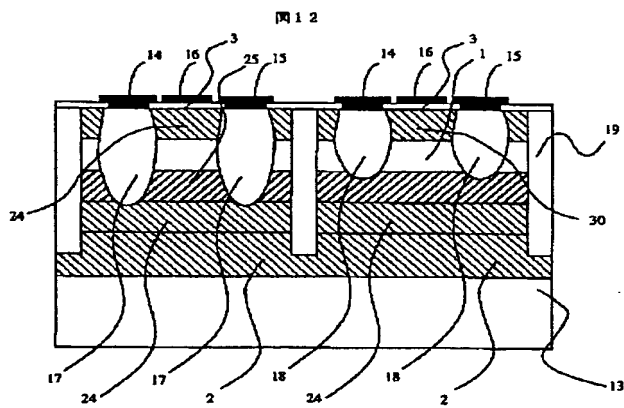
【図10】



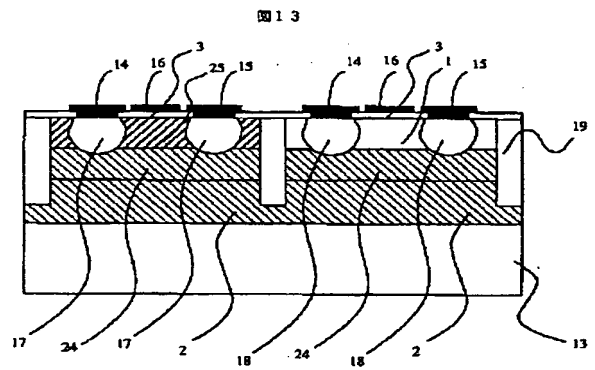
【図11】



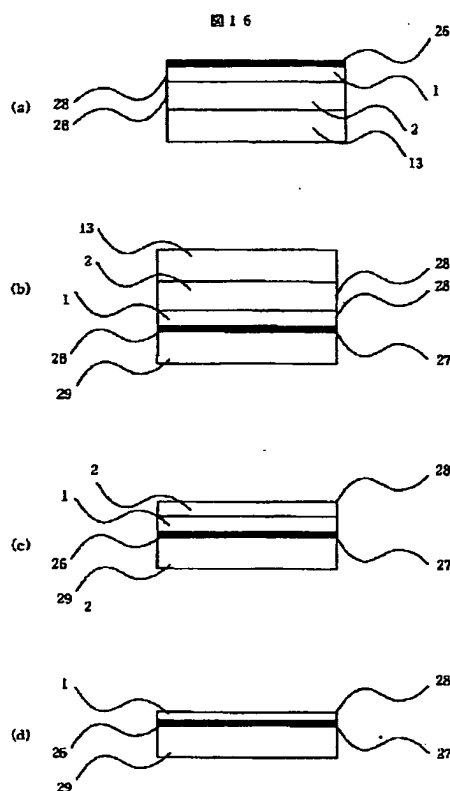
【図12】



【図13】



【図16】



フロントページの続き

(72)発明者 山口 伸也

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

35

Fターム(参考) 5F040 DA00 DA01 DA02 DA05 DB03
DC01 DC10 EB12 EC07 EE06
EF09 EH02 EH05 EJ03 EK05
FC06

(72)発明者 宮尾 正信

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

5F048 AA08 AC03 BA03 BA09 BA10
BA12 BA14 BB06 BB07 BC15
BC18 BD09 BE03 BF02 BG14